

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270775

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/82

(21)Application number : 2001-069219

(71)Applicant : SONY CORP

(22)Date of filing : 12.03.2001

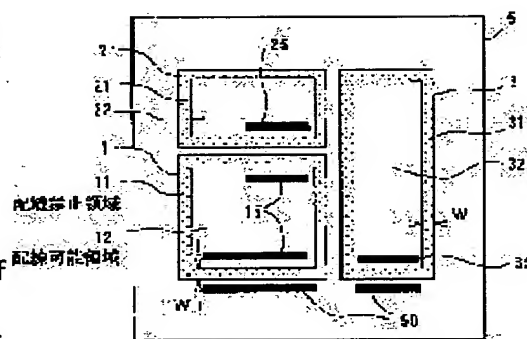
(72)Inventor : SEKIHARA TAKAYUKI

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, the layout of which can be designed quickly and which can prevent occurrence of crosstalks.

SOLUTION: This semiconductor device 1 has a hierarchical structure, equipped with a chip 5 and blocks 1, 2, and 3 which serve as the lower hierarchies of the chip 5. Near the boundaries specifying the peripheries of the blocks 1, 2, and 3, wiring-inhibited regions 11, 12, and 13 in which wiring is inhibited are provided and the widths W of the regions 11, 12, and 13 are set, so that the wiring capacity between adjacent two wiring become almost zero. Consequently, the delay time of each one of the blocks 1, 2, and 3 and the chip 5 can be evaluated, based only on the wiring information on the block 1, 2, or 3 or chip 5 to be evaluated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

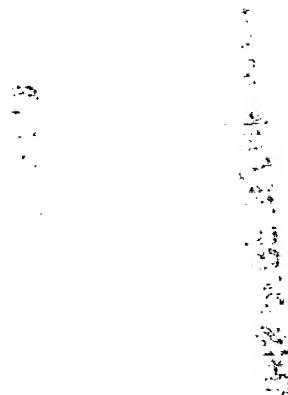
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

Copyright (C); 1998,2003 Japan Patent Office



**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270775

(P2002-270775A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	D 5 F 0 3 8
21/822		21/82	W 5 F 0 6 4
21/82		27/04	C
			H

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2001-69219(P2001-69219)

(22) 出願日 平成13年3月12日 (2001.3.12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 関原 孝幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

Fターム(参考) 5F038 BH19 CA03 CA05 CA17 CD05  
CD09 CD13 DF04 DF05 EZ09  
EZ20

5F064 BB09 BB12 DD02 DD07 DD24

DD26 EE02 EE14 EE16 EE22

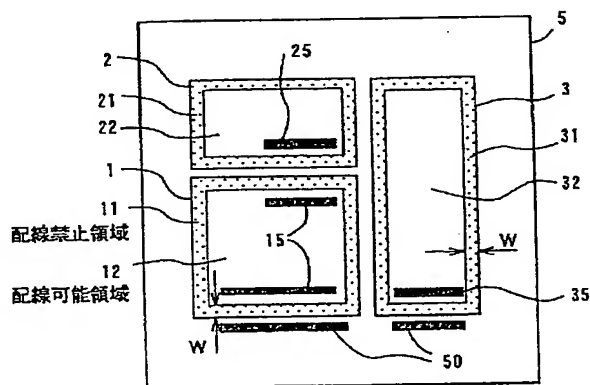
EE43 EE46 EE47 HH06

(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】 迅速なレイアウト設計が可能で、かつクロストークの発生を防止できる半導体装置を提供する。

【解決手段】 半導体装置1は、チップ5と、その下位階層となるブロック1、2、3とを備えた階層構造を有している。ブロック1、2、3の外縁を規定する境界の近傍には、配線が禁止された配線禁止領域11、12、13が設けられており、配線禁止領域11、12、13のそれぞれの幅Wは、隣接する2配線間の配線容量がほぼゼロとなるような幅に設定されている。これにより、ブロック1、2、3およびチップ5のそれぞれについての遅延時間の評価を、評価対象となっているブロックまたはチップの配線情報のみに基づいて行うことができる。



**【特許請求の範囲】****【請求項1】** 第1の回路と、

この第1の回路の所定の領域に設けられ、前記第1の回路の下位階層を構成すると共に、前記所定の領域の外縁を規定する境界の近傍に、この境界外部からの電気的な影響を抑制するための影響抑制領域を有する第2の回路とを備えたことを特徴とする半導体装置。

**【請求項2】** 前記影響抑制領域は、配線が禁止された配線禁止領域、または、電位が固定された固定電位領域であることを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記配線禁止領域は、前記境界から0.1 $\mu$ m以上の範囲に亘って延在していることを特徴とする請求項2記載の半導体装置。

**【請求項4】** 前記固定電位領域は、正電位、負電位または接地電位を有していることを特徴とする請求項2記載の半導体装置。

**【請求項5】** 前記第2の回路は、複数の層を含む積層構造を有しており、

前記複数の層のうち少なくとも1つの層の外縁を規定する境界の近傍に、前記影響抑制領域が設けられていることを特徴とする請求項1記載の半導体装置。

**【請求項6】** 前記影響抑制領域は、前記所定の領域をその外縁を規定する境界に沿って周回する形状を有していることを特徴とする請求項1記載の半導体装置。

**【請求項7】** 前記第2の回路は、互いに平行に延出するように並列配置された複数の配線パターンを有しており、

前記影響抑制領域は、少なくとも、前記複数の配線パターンの延出方向とほぼ平行に延出する部分を有していることを特徴とする請求項1記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、LSI (Large Scale Integrated circuit) などの半導体装置に関するものであり、より詳細には、階層の異なる2以上の回路を含む半導体装置に関するものである。

**【0002】**

**【従来の技術】** 近年、LSIなどの半導体装置では、高集積化および大規模化が進んでおり、各構成要素の配置や配線経路（以下、レイアウトとする。）を一括して設計することが難しくなりつつある。そこで、半導体装置の構成要素を複数の階層に分け、それぞれの階層ごとにレイアウト設計を行う方法（いわゆる階層レイアウト設計）が行われている。

**【0003】** 一般に、半導体装置の構成要素は、最上位階層となるチップと、このチップに対して下位階層となるブロックと、このブロックに対してさらに下位階層となるセルとに分けられる。図7は、このような階層構造を有する半導体装置の一例を表すものである。この半導体装置では、最上位階層であるチップ105が、3つの

ブロック101、102、103をそれぞれ下位階層として包含するようになっている。ブロック101~103は、それぞれ多数のセルを組み合わせることにより構成されているが、これらのセルについては図示を省略する。また、ブロック101~103には、セル同志を接続するための多数の配線が配設されているが、ここでは、ブロック101~103のそれぞれの外縁近傍に配設された配線106、107、108のみを示す。

**【0004】** 階層レイアウト設計を行う際には、ブロック101~103のそれぞれのレイアウトの設計と、チップ105のレイアウトの設計とを、別々に行う。各ブロック101~103のレイアウトを設計する際には、電気信号の伝送時間が所定の範囲内に収まるよう、各配線106~108についての遅延時間の評価を行う。同様に、チップ105のレイアウトを設計する際には、チップ105内の配線109についての遅延時間の評価を行う。

**【0005】** ここで、2つの配線が接近して配置されると、その配線間の容量（配線容量：wiring capacitance）によって、各配線の遅延時間が影響を受ける。例えば、ブロック101の配線106についての遅延時間は、隣接するブロック102の配線107との間の配線容量や、チップ105の配線109との間の配線容量によって影響を受ける。そのため、ブロック101~103のそれぞれについての遅延時間を評価する際には、隣接するブロックの配線に関する情報（配線情報）や、チップ105内の配線情報を考慮しなければならない。また、チップ105についての遅延時間を評価する際には、各ブロック101~103の配線情報を考慮しなければならない。

**【0006】**

**【発明が解決しようとする課題】** しかしながら、このように各ブロック101~103およびチップ105のそれぞれのレイアウトを、相互の配線情報を考慮しながら設計するという方法では、各ブロック101~103およびチップ105のレイアウトを完全に決定するまでに長時間を要するという問題がある。

**【0007】** また、異なるブロックの2つの配線が互いに接近して配置されると、一方の配線の信号出力が他方に影響を与える、いわゆるクロストークが生じるという問題もある。

**【0008】** これらの問題は、階層レイアウト設計以外の方法で設計される半導体装置にも生じうる。例えば、チップに比較的論理規模の大きいセル（いわゆるマクロセル）を組み込んで構成する半導体装置では、チップと、その下位階層となるマクロセルとは、別々にレイアウト設計される。そのため、マクロセルおよびチップのレイアウトを相互の配線情報を考慮しながら設計しなければ、設計に長時間を要するという問題がある上、クロストークが発生するという問題もある。

【0009】本発明は、かかる問題点に鑑みてなされたものであり、迅速なレイアウト設計が可能で、かつクロストークの発生を防止できる半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る半導体装置は、第1の回路と、この第1の回路の所定の領域に設けられ、第1の回路の下位階層を構成すると共に、前記所定の領域の外縁を規定する境界の近傍に、この境界外部からの電気的な影響を抑制するための影響抑制領域を有する第2の回路とを備えたことを特徴とするものである。

【0011】本発明による半導体装置では、第2の回路の外縁を規定する境界の近傍に影響抑制領域が設けられているため、第2の回路における遅延時間を評価する際には、第1の回路の影響を考慮する必要がない。また、第1の回路内における遅延時間を評価する際には、第2の回路の影響を考慮する必要がない。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】＜第1の実施の形態＞図1は、本発明の第1の実施の形態に係る半導体装置の全体構造を表すものである。この半導体装置は、例えばLSIである。この半導体装置は、最上位階層であるチップ5と、このチップ5の下位階層となる3つのブロック1、2、3とを備えて構成されている。ブロック1、2、3は、メモリ、CPU (Central Processing Unit) およびレジスタなど、特定の機能を発揮する論理回路を構成している。ここで、チップ5は、本発明における「第1の回路」の一具体例に対応し、ブロック1、2、3は、本発明における「第2の回路」の一具体例に対応する。

【0014】ブロック1、2、3は、それぞれ多数のセル10、20、30を有している。セル10、20、30は、いずれも、複数のトランジスタ（図示せず）の組み合わせにより構成されている。チップ5の外周に沿った領域には、ブロック1、2、3と半導体装置外部との信号の伝達を行うためのI/O（入出力）セルを含む周辺セル55が設けられている。

【0015】図2は、図1に示した半導体装置におけるチップ5および各ブロック1、2、3を表すものである。この図2では、ブロック1、2、3内のセル10、20、30（図1）および周辺セル55については、図示を省略する。ブロック1は、例えば長方形形状を有しており、その外縁を規定する境界に沿った領域は、配線が禁止された配線禁止領域11となっている。

【0016】配線禁止領域11は、ブロック1の外縁を規定する境界に沿って一定の幅Wで延びている。この配線禁止領域11は、ブロック1の外縁を規定する境界から0.1  $\mu$ m以上の範囲に亘って延在している。この配

線禁止領域11の幅Wは、この配線禁止領域11を挟んで近接配置される2つの配線の間の配線容量がほぼゼロと見なせるような幅に設定されている。例えば、この配線禁止領域11の幅Wは5  $\mu$ m以上であり、言い換えると、設計規則 (design rule) で定められた最小線幅 (minimum line width) の5倍以上である。

【0017】ブロック1において、配線禁止領域11に囲まれた領域は、配線可能領域12となっている。この配線可能領域12には、図1に示した多数のセル10と、それぞれのセル10を接続する多数の配線15とが配設されている。配線15は、例えばA1（アルミニウム）などにより構成されている。なお、図2では、配線可能領域12に配設された多数の配線15のうち、配線禁止領域11の比較的近傍に配設された配線のみを示す。

【0018】ブロック1と同様、ブロック2、3は、それぞれの外縁を規定する境界に沿った領域に、一定の幅Wを有する配線禁止領域21、31を有している。ブロック2、3において配線禁止領域21、31にそれぞれ囲まれた領域は、配線可能領域22、32となっている。ブロック2の配線可能領域22には、多数のセル20（図1）と、それぞれのセル20を接続する多数の配線25が配設されている。ブロック3の配線可能領域32には、多数のセル30（図1）と、それぞれのセル30を接続する多数の配線35が配設されている。配線25、35は、例えばA1などにより構成されている。なお、図2では、ブロック2、3の内部に配設された多数の配線25、35のうち、配線禁止領域21、31の比較的近傍に配設された配線のみを示す。

【0019】ここで、この配線禁止領域11、21、31は、本発明における「配線禁止領域」の一具体例および「影響抑制領域」の一具体例に対応する。

【0020】チップ5には、ブロック1、2、3を互いに接続し、ブロック1、2、3と周辺セル55とを接続する多数の配線50が配設されている。配線50は、例えばA1などにより構成されている。図2では、チップ5上に配設された多数の配線50のうち、ブロック1、2、3の比較的近傍に配設された配線のみを示す。

【0021】次に、本実施の形態における半導体装置の作用について説明する。ブロック1の外縁を規定する境界の近傍に沿って配線禁止領域11が設けられているため、ブロック1の配線15とチップ5の配線50が最も接近して配置された場合でも、これらの間には、配線禁止領域11の幅W以上の間隔が形成される。上述したように、配線禁止領域11の幅Wは、この配線禁止領域11を挟んで近接配置された2つの配線の間の配線容量がほぼゼロと見なせるような幅に設定されているため、ブロック1の配線15とチップ5の配線50との間の配線容量はほぼゼロと見なすことができる。また、ブロック1の配線15と、隣接するブロック2の配線25との間

には、配線禁止領域11, 21が介在するため、これらブロック1の配線15とブロック2の配線25との間の配線容量もほぼゼロと見なすことができる。すなわち、ブロック1内の配線15と、周囲の配線との間の配線容量は、いずれもほぼゼロとみなすことができる。

【0022】同様に、ブロック2に設けられた配線禁止領域21のため、ブロック2内の配線25と、周囲の配線との間の配線容量はほぼゼロとみなすことができる。さらに、ブロック3に設けられた配線禁止領域31のため、ブロック3内の配線35と周囲の配線との間の配線容量は、ほぼゼロとみなすことができる。

【0023】また、ブロック1, 2, 3の外縁を規定する境界の近傍に配線禁止領域11, 21, 31が設けられているため、隣接する2つのブロックの配線同志が接近しすぎることにより生じるクロストークが発生しない。

【0024】次に、この半導体装置の設計プロセスについて説明する。図3は、本実施の形態に係る半導体装置の設計プロセスを表す流れ図である。ここでは、まず、各ブロック1, 2, 3に要求されている内部動作に基づいて、各ブロック1, 2, 3内のセル10, 20, 30の配置を決定する(S10)。続いて、ブロック1, 2, 3のそれぞれにおける配線経路を決定する(S12)。ここでは、ブロック1, 2, 3のそれぞれについて遅延時間を計算し、その遅延時間が許容範囲に収まるように配線経路を決定する。

【0025】このとき、上述したように、ブロック1に配設する配線15と、他のブロック2, 3またはチップ5に配設する配線との間の配線容量はほぼゼロとみなすことができるため、ブロック1についての遅延時間は、そのブロック1の配線情報のみに基づいて求めることができ、他のブロック2, 3およびチップ5の配線情報を考慮する必要はない。同様に、ブロック2についての遅延時間は、そのブロック2についての配線情報のみに基づいて求めることができ、他のブロック1, 3およびチップ5の配線情報を考慮する必要はない。さらに、ブロック3についての遅延時間は、そのブロック3の配線情報のみに基づいて求めることができ、他のブロック1, 2およびチップ5の配線情報を考慮する必要はない。

【0026】次いで、半導体装置に要求されている処理動作に応じて、チップ5における各ブロック1, 2, 3の配置を決定する(S14)。続いて、チップ5における配線経路を決定する(S16)。ここでは、チップ5上に配設する配線50についての遅延時間を計算し、その遅延時間が許容範囲に収まるように、配線経路を決定する。このとき、チップ5に配設する配線50と、ブロック1, 2, 3の配線15, 25, 35との間の配線容量はほぼゼロと見なすことができることから、チップ5についての遅延時間は、チップ5の配線情報のみに基づいて求めることができ、ブロック1, 2, 3の配線情報

を考慮する必要はない。

【0027】ステップS10～S16に示したレイアウト設計プロセスが完了したのち、マスクパターン作成処理、ウエハ加工処理、組立処理、検査処理を経て、半導体装置が完成する。マスクパターン作成処理から検査処理までのプロセスについては、説明を省略する。

【0028】以上説明したように、本実施の形態によれば、ブロック1, 2, 3の外縁を規定する境界の近傍に配線禁止領域11, 21, 31を設けるようにしたので、各ブロックについての遅延時間の評価を、評価対象のブロックの配線情報のみに基づいて行うことができる。同様に、チップ5についての遅延時間の評価を、そのチップ5の配線情報のみに基づいて行うことができる。従って、ブロック1, 2, 3およびチップ5のレイアウトをそれぞれ完全に独立に設計することができ、迅速なレイアウト設計が可能になる。

【0029】加えて、ブロック1, 2, 3の外縁を規定する境界の近傍に配線禁止領域11, 21, 31を設けるようにしたので、隣接する2つのブロックの配線同志が接近しすぎることにより生じるクロストークを防止することができる。

【0030】＜第2の実施の形態＞次に、本発明の第2の実施の形態について説明する。図4は、第2の実施の形態にかかる半導体装置の構造を表すものである。なお、この図4では、図2に示した半導体装置における構成要素と同一の構成要素には同一の符号を付し、適宜説明を省略する。本実施の形態では、ブロック1, 2, 3の外縁を規定する境界の近傍に、電位が固定された固定電位領域16, 26, 36が設けられている。ここで、この固定電位領域16, 26, 36は、本発明における「固定電位領域」の一具体例および本発明における「影響抑制領域」の一具体例に対応する。

【0031】固定電位領域16, 26, 36は、電位がほぼ一定に固定されたもの（すなわち、信号線のように電位が変動しないもの）であればよい。また、固定電位領域16, 26, 36のそれぞれの電位は、正電位、負電位あるいは接地電位のいずれであってもよい。ここでは、固定電位領域16, 26, 36は、導電材料により形成された電源線あるいは接地線により構成されている。この固定電位領域16, 26, 36の幅は、第1の実施の形態の配線禁止領域11, 21, 31の幅Wより狭くてもよい。

【0032】本実施の形態では、ブロック1についての遅延時間は、ブロック1の配線情報（固定電位領域16の位置情報を含む）のみに基づいて求めることができ、他のブロック2, 3やチップ5の配線情報を考慮する必要はない。同様に、ブロック2についての遅延時間は、ブロック2の配線情報（固定電位領域26の位置情報を含む）のみに基づいて求めることができ、他のブロック1, 3やチップ5の配線情報を考慮する必要はない。ま



た、ブロック3についての遅延時間は、ブロック3の配線情報（固定電位領域36の位置情報を含む）のみに基づいて求めることができ、他のブロック1、2やチップ5の配線情報を考慮する必要はない。すなわち、ブロック1、2、3のそれぞれについての遅延時間の評価は、その評価対象となったブロックの配線情報のみに基づいて行うことができる。

【0033】一方、チップ5の配線50と固定電位領域16、26、36との間では配線容量が生じ得るが、この配線容量は、チップ5上におけるブロック1、2、3の配置に基づいて容易に評価できる。固定電位領域16、26、36は、ブロック1、2、3の外縁の近傍に存在するからである。従って、チップ5についての遅延時間は、チップ5内の配線情報（ブロック1、2、3の配置についての情報を含む）のみに基づいて求めることができる。

【0034】本実施の形態によれば、第1の実施の形態と同様、チップ5およびブロック1、2、3のレイアウトをそれぞれ完全に独立に設計することができ、迅速なレイアウト設計が可能になる。また、ブロック1、2、3の外縁を規定する境界の近傍に固定電位領域16、26、36を設けるようにしたので、隣接する2つのブロックの配線同志が接近しすぎることにより生じるクロストークを防止することができる。

【0035】＜第3の実施の形態＞次に、本発明の第3の実施の形態について説明する。図5は、本実施の形態における半導体装置におけるブロックの構造を模式的に表すものである。なお、図5では、図2に示した半導体装置における構成要素と同一の構成要素には同一の符号を付し、適宜説明を省略する。

【0036】図4に示したように、ブロック6は積層構造（例えば5層構造）を有しており、いずれも絶縁材料により構成された第1層61、第2層62、第3層63、第4層64および第5層65を備えている。これら第1層61、第2層62、第3層63、第4層64および第5層65の表面には、それぞれA1などにより構成された、1層配線61A、2層配線62A、3層配線63A、4層配線64Aおよび5層配線65Aが配設されている。

【0037】1層配線61A～5層配線65Aは、層ごとに互いに平行に延出している。また、1層配線61Aと2層配線62Aとは直交しており、2層配線62Aと3層配線63Aとは直交している。さらに、3層配線63Aと4層配線64Aとは直交しており、4層配線64Aと5層配線65Aとは直交している。

【0038】ブロック6の第1層61～第5層65の外縁を規定する境界の近傍には、それぞれ、配線が禁止された配線禁止領域61B、62B、63B、64B、65Bが形成されている。配線禁止領域61B～65Bは、各層61～65の外縁をそれぞれ周回する形状を有

しているが、配線61A～65Aからの信号線などを引き出すための開口部がそれぞれ形成されていることが好ましい。この配線禁止領域61B～65Bの幅Wの好ましい範囲は、第1の実施の形態と同様である。ここで、配線禁止領域61B～65Bは、本発明における「配線禁止領域」の一具体例および本発明における「影響抑制領域」の一具体例に対応する。

【0039】図5では、ブロック6を1つのみ示すが、本実施の形態では、チップ5（図2）上に、ブロック6と同様の構成を有する複数のブロックが設けられている。

【0040】本実施の形態によれば、ブロック6の第1層61～第5層65のそれぞれの外縁を規定する境界の近傍に配線禁止領域61B～65Bをそれぞれ設けるようにしたため、ブロック6の第1層61～第5層65のそれぞれについての遅延時間を評価する場合には、評価の対象となっている層の配線情報のみを考慮すればよい。また、チップ5についての遅延時間を評価する場合には、チップ5の配線情報のみを考慮すればよい。従って、第1および第2の実施の形態と同様、ブロック6およびチップ5のレイアウトを互いに独立して設計することができ、迅速なレイアウト設計が可能になる。加えて、隣接する2つのブロックの配線同志が接近しすぎることにより生じるクロストークを防止することができる。

【0041】なお、本実施の形態では、ブロック6の第1層61～第5層65の外縁を規定する境界全体に配線禁止領域61B～65Bが設けたが、図6に示したように、1層配線61A～5層配線65Aの延出方向と平行な辺にのみ、配線禁止領域61B～65Bを設けるようにしてもよい。配線容量は、主として、互いに平行な2つの配線間で生じるからである。

【0042】さらに、本実施の形態では、ブロック6の第1層61～第5層65に配線禁止領域61B～65Bを設けたが、これら配線禁止領域61B～65Bの代わりに、第2の実施の形態において説明した固定電位領域をそれぞれ設けてもよい。

【0043】以上、実施の形態を挙げて本発明を説明したが、本発明はこの実施の形態に限定されるものではなく、種々の変形が可能である。例えば、上述した各実施の形態では、階層レイアウト設計により設計される半導体装置の各ブロックに配線禁止領域（または固定電位領域）を設けたが、チップにマクロセルを実装して半導体装置を構成する場合には、そのマクロセルの外縁を規定する境界の近傍に配線禁止領域（または固定電位領域）を設けてもよい。

【0044】

【発明の効果】以上説明したように、請求項1ないし請求項7のいずれか1項に記載の半導体装置によれば、第2の回路の外縁を規定する境界の近傍に影響抑制領域を

設けるようにしたので、第2の回路についての遅延時間を評価するに際して第1の回路の配線情報が不要になり、第1の回路についての遅延時間を評価するに際しても第2回路の配線情報が不要になる。従って、第1の回路およびそれぞれの第2の回路をそれぞれ完全に独立に設計することができ、迅速なレイアウト設計が可能になる。また、第2の回路と第1の回路との間でのクロストークの発生も防止できる。

【0045】特に、請求項2記載の半導体装置によれば、影響抑制領域を、配線禁止領域または固定電位領域により構成するようにしたので、簡単な構成で、レイアウト設計の迅速化およびクロストークの防止を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構造を表す平面図である。

【図2】図1に示した半導体装置におけるチップとブ

ックとの関係を表す平面図である。

【図3】図1に示した半導体装置の設計方法を表す平面図である。

【図4】本発明の第2の実施の形態に係る半導体装置の構造を表す平面図である。

【図5】本発明の第3の実施の形態に係る半導体装置の構造を表す分解斜視図である。

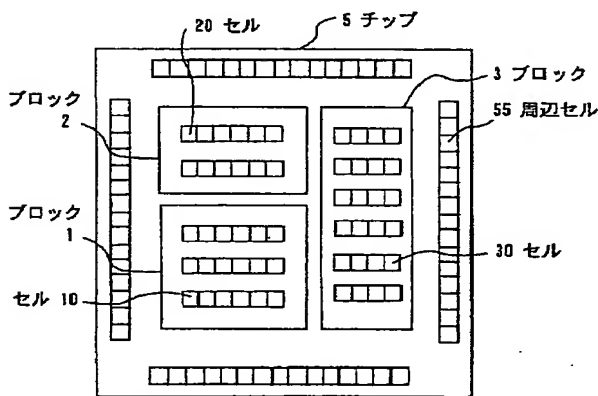
【図6】本発明の第3の実施の形態に係る半導体装置の他の構成例を表す分解斜視図である。

【図7】従来の半導体装置の構造を表す平面図である。

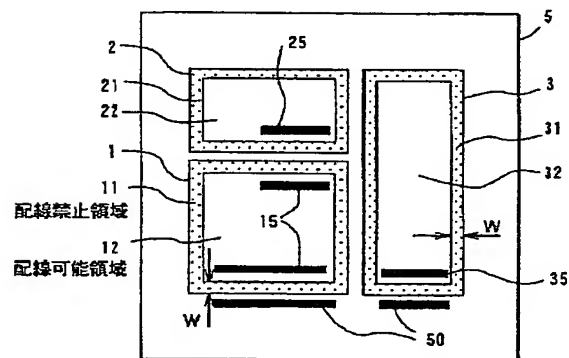
【符号の説明】

1, 2, 3…ブロック、10, 20, 30…セル、11, 21, 31…配線禁止領域、12, 22, 32…配線可能領域、15, 25, 35…配線、16, 26, 36…固定電位領域、5…チップ、50…配線、6…ブロック、61B, 62B, 63B, 64B, 65B…配線禁止領域。

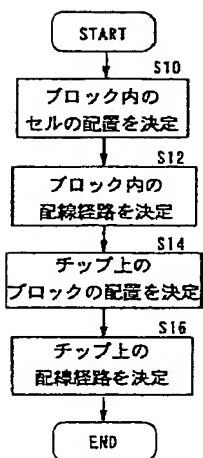
【図1】



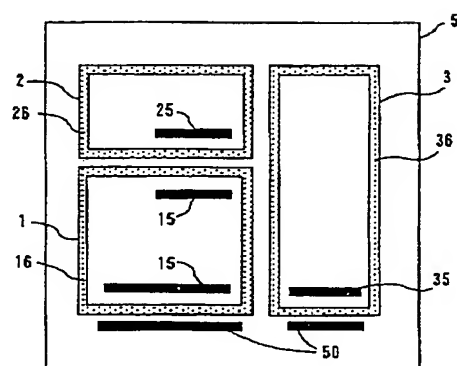
【図2】



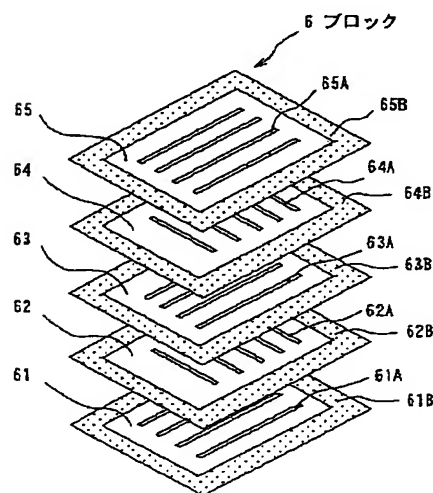
【図3】



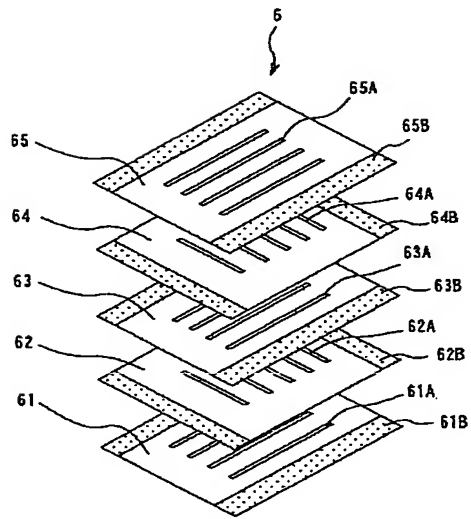
【図4】



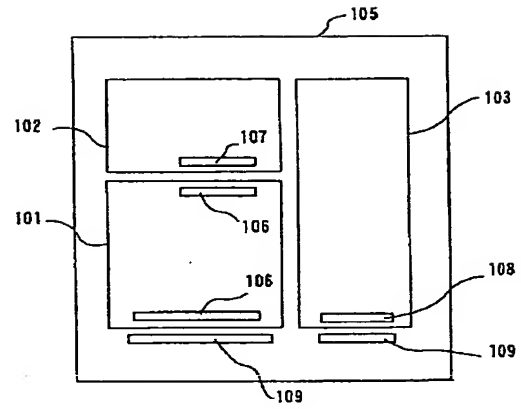
【図5】



【図6】



【図7】



**THIS PAGE BLANK (USPTO)**